

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-272479

(43)Date of publication of application : 18.10.1996

(51)Int.CI.

G06F 1/08
G06F 1/04
H03K 3/02
H03K 23/64

(21)Application number : 07-075855

(71)Applicant : NKK CORP

(22)Date of filing : 31.03.1995

(72)Inventor : SASAKI YASUKI

(54) VARIABLE CLOCK GENERATION DEVICE

(57)Abstract:

PURPOSE: To suppress increase of the current consumption of a power supply without deteriorating the overall system performance.

CONSTITUTION: A variable clock generation device supplies the clocks to the units 31 and 32 which operate by a high speed clock CLK0 or a low speed clock CLK1. Then the generation circuit is provided with a signal switch circuit (dividing action decision circuit) 10 which produces a switch signal Act to switch the clock frequency when a prescribed order (processing start/end) is received, and a variable clock supply circuit 20 which supplies the clock CLK0 to the unit 31 and also the clock CLK1 to the unit 32 respectively in a 1st operating environment (highest priority circuit operation) that is decided by the contents of the instruction and the signal Act and then supplies the clocks CLK0 to both circuits 31 and 32 in a 2nd operating environment (highest priority circuit non-operation) that is decided by the contents of the instruction and the signal Act.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-272479

(43)公開日 平成8年(1996)10月18日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 1/08 1/04	3 0 1		G 0 6 F 1/04	3 2 0 B 3 0 1 C
H 0 3 K 3/02 23/64			H 0 3 K 3/02 23/64	Z G

審査請求 未請求 請求項の数7 O L (全11頁)

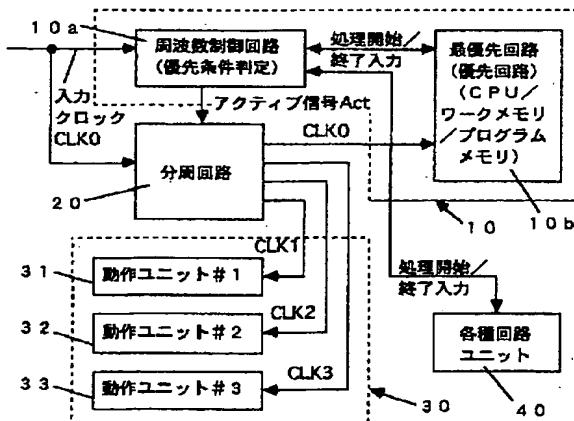
(21)出願番号	特願平7-75855	(71)出願人	000004123 日本钢管株式会社 東京都千代田区丸の内一丁目1番2号
(22)出願日	平成7年(1995)3月31日	(72)発明者	佐々木 泰樹 東京都千代田区丸の内一丁目1番2号 日本钢管株式会社内
		(74)代理人	弁理士 長谷川 和音

(54)【発明の名称】可変クロック発生装置

(57)【要約】

【目的】全体的なシステム性能を落とすことなく電源消費電流を押さえる。

【構成】高速クロック CLK0 または低速クロック CLK1 で動作するユニット 3 1 および CLK0 または CLK1 で動作するユニット 3 2 にクロックを供給するものにおいて、所定の命令（処理開始／終了）が入力されたときにクロック周波数を切り換える切換信号 A c t を発生する信号切換回路（分周動作決定回路） 1 0 と；前記命令の内容と信号 A c t の内容に応じて決まる第1の動作環境（最優先回路動作）では、ユニット 3 1 に CLK0 を供給するとともにユニット 3 2 に CLK1 を供給し、前記命令の内容と信号 A c t の内容に応じて決まる第2の動作環境（最優先回路非動作）では、ユニット 3 1 および 3 2 に CLK0 を供給する可変クロック供給回路 2 0 とを備える。



【特許請求の範囲】

【請求項1】第1のクロック周波数または第2のクロック周波数で動作する第1ユニットおよびこの第1のクロック周波数または第2のクロック周波数で動作する第2ユニットにクロックを供給するものにおいて、所定の命令が入力されたときにクロック周波数を切り換える切換信号を発生する切換信号回路と；前記所定の命令の内容と前記切換信号の内容に応じて決まる第1の動作環境では、前記第1ユニットおよび第2ユニットの一方に前記第1のクロック周波数を供給するとともに前記第1ユニットおよび第2ユニットの他方に前記第2のクロック周波数を供給し、前記所定の命令の内容と前記切換信号の内容に応じて決まる第2の動作環境では、前記第1ユニットおよび第2ユニットの双方に前記第1のクロック周波数を供給する可変クロック供給回路とを備えたことを特徴とする可変クロック発生装置。

【請求項2】前記第1の動作環境において、前記第1ユニットへのクロック供給切換タイミングと前記第2ユニットへのクロック供給切換タイミングとをずらす手段をさらに備えたことを特徴とする請求項1に記載の可変クロック発生装置。

【請求項3】第1のクロック周波数または第2のクロック周波数で動作する第1ユニットおよびこの第1のクロック周波数、第2のクロック周波数または第3のクロック周波数で動作する第2ユニットにクロックを供給するものにおいて、

第1の命令が入力されたときにクロック周波数を切り換える第1切換信号を発生する第1切換信号回路と；第2の命令が入力されたときにクロック周波数を切り換える第2切換信号を発生する第2切換信号回路と；前記第1切換信号と前記第2切換信号との第1の組み合わせで決まる環境では、前記第1ユニットおよび第2ユニットに前記第1のクロック周波数を供給し、前記第1切換信号と前記第2切換信号との第2の組み合わせで決まる環境では、前記第1ユニットおよび第2ユニットに前記第2のクロック周波数を供給し、前記第1切換信号と前記第2切換信号との第3の組み合わせで決まる環境では、前記第1ユニットおよび第2ユニットに前記第3のクロック周波数を供給する可変クロック供給回路とを備えたことを特徴とする可変クロック発生装置。

【請求項4】前記第2または第3の組み合わせ環境において、前記第1ユニットへのクロック供給切換タイミングと前記第2ユニットへのクロック供給切換タイミングとをずらす手段をさらに備えたことを特徴とする請求項3に記載の可変クロック発生装置。

【請求項5】第1のクロック周波数または第2のクロック周波数で動作する第1ユニットおよびこの第1のクロック周波数または第2のクロック周波数で動作する第2ユニットにクロックを供給するものにおいて、所定の命令が入力されたときに、その命令の内容に応じ

てクロック周波数を切り換える複数の切換信号を発生するデコーダと；前記複数の切換信号の組み合わせ内容に応じて決まる複数の選択信号を発生する選択回路と；前記複数選択信号の1つにより選択され、前記複数切換信号の1つの内容で決まる第1の動作環境では、前記第1ユニットおよび第2ユニットの一方に前記第1のクロック周波数を供給するとともに前記第1ユニットおよび第2ユニットの他方に前記第2のクロック周波数を供給し、前記複数選択信号の他の1つにより選択され、前記複数切換信号の他の1つの内容で決まる第2の動作環境では、前記第1ユニットおよび第2ユニットの他方に前記第1のクロック周波数を供給するとともに前記第1ユニットおよび第2ユニットの一方に前記第2のクロック周波数を供給する可変クロック供給回路とを備えたことを特徴とする可変クロック発生装置。

【請求項6】第1のクロック周波数または第2のクロック周波数で動作する第1ユニットおよびこの第1のクロック周波数または第2のクロック周波数で動作する第2ユニットにクロックを供給するものにおいて、

所定の命令が入力されたときにクロック周波数を切り換える切換信号を発生し；前記所定の命令の内容と前記切換信号の内容に応じて決まる第1の動作環境では、前記第1ユニットおよび第2ユニットの一方に前記第1のクロック周波数を供給するとともに前記第1ユニットおよび第2ユニットの他方に前記第2のクロック周波数を供給し；前記所定の命令の内容と前記切換信号の内容に応じて決まる第2の動作環境では、前記第1ユニットおよび第2ユニットの双方に前記第1のクロック周波数を供給することを特徴とする可変クロック発生方法。

【請求項7】前記第1の動作環境において、前記第1ユニットへのクロック供給切換タイミングと前記第2ユニットへのクロック供給切換タイミングとをずらすことを特徴とする請求項6に記載の可変クロック発生方法。

【発明の詳細な説明】

35 【0001】

【産業上の利用分野】この発明は、システムを構成する各処理部への動作クロックをシステムの稼働状況に応じてダイナミックに変更できる可変クロック発生装置および可変クロック発生方法に関する。

40 【0002】

【従来の技術】パーソナルコンピュータなどのデジタル装置は、種々なクロックで動作する複数の処理部を含んでいる。たとえばマイクロコンピュータチップにおいて、内部レジスタを用いた整数演算または浮動小数点演算の処理部は最高のクロック周波数で動作させ、その演算処理中に行われる後続命令のロード／ストア等は相対的に低いクロック周波数で動作させる、といったことが行われる。あるいは、たとえばバッテリ駆動のノートブック型パーソナルコンピュータにおいて、その内部の低速I/O装置（8ビットモデムカードなど）を1MHz

クロックで動作させ、システムバスを8MHzで動作させ、ビットマップ画像出力処理などの重たい処理を行う部分を16MHzで動作させる、といったことが行われる。

【0003】デジタル処理装置においては、その電源消費電流は動作クロック周波数に比例して増加する（装置内部電源回路の容量成分に対する単位時間当たりの充放電回数がクロック周波数に比例して増えるため）。たとえば1MHzクロックのデジタル処理カードが5V100mAの電源で動作している場合、動作クロックを8MHzに上げると電源消費電流は800mAに増えてしまう。消費電流が増えるとこの電流が流れる部分の発熱が増え、場合によっては放熱対策が必要になる。またバッテリ動作の機器ではバッテリの連続使用可能時間が短くなるという問題も生じる。

【0004】上記問題を軽減するためには、次のような処置が必要となる。すなわち、高速動作が必要な個所だけに高速クロック（最高クロック周波数）を供給し、その高速クロック部分が動作中では、高速動作を必要としない他部分のクロック周波数を大幅に下げ、あるいは動作不要の回路部分はクロック周波数をゼロとして回路動作を止める。このようにすると、必要な個所は高速で動かしながら、装置全体としてみれば電源消費電流を比較的小さく押さえることが可能となる。

【0005】

【発明が解決しようとする課題】高速クロックを必要とする個所が常に高速クロックを必要としているとは限らないが、いつ高速クロックが必要となるかが分からぬときは、高速処理部分には常に高速クロックを供給し、低速処理部分には常に低速クロックを供給する（あるいは低速処理部分のクロックを適宜止める）ことになる。そうすると、高速処理が必要でない期間においても高速処理部分が高速クロックを受けながら大きな電源電流を消費し続けているので、上記電源消費電流を効果的に押さえることは難しい。

【0006】また、電源消費電流を効果的に押さえるために一部のクロック供給を無造作に止めてしまうと、クロック供給を止められた回路部分の動作が完全に止まってしまいそこでの処理が中断する。この動作停止回路部分については、クロック供給を再開しても自己復帰できず、システムの立ち上げ（リブート）からやり直さなければならぬ事態が生じる恐れもある。この問題をクリアできる場合であっても、クロックの部分的な停止はシステム全体の性能低下に繋がる可能性が高いので、クロックを止めることのできる回路部分は限られてくる。

【0007】この発明の目的は、必要な部分へ必要な時にだけ高速クロックを供給するようにしてシステム性能を落とすことなく電源消費電流を抑えることのできる可変クロック発生装置および可変クロック発生方法を提供することである。

【0008】

【課題を解決するための手段】上記目的を達成するためには、第1のクロック周波数（高速クロックCLK0）または第2のクロック周波数（低速クロックCLK1）で動作する第1ユニット（31）およびこの第1のクロック周波数または第2のクロック周波数で動作する第2ユニット（32）にクロックを供給するこの発明では、所定の命令が入力されたときにクロック周波数を切り換える切換信号（Act）を発生し；前記所定の命令の内容と前記切換信号（Act）の内容（0/1）に応じて決まる第1の動作環境（最優先回路動作）では、前記第1ユニット（31）および第2ユニット（32）の一方に前記第1のクロック周波数（CLK0）を供給するとともに前記第1ユニット（31）および第2ユニット（32）の他方に前記第2のクロック周波数（CLK1）を供給し；前記所定の命令の内容と前記切換信号（Act）の内容（0/1）に応じて決まる第2の動作環境（最優先回路非動作）では、前記第1ユニット（31）および第2ユニット（32）の双方に前記第1のクロック周波数（CLK0）を供給するようにしている。

【0009】

【作用】システムの稼働状況（入力命令の内容）に応じてシステムを構成する各処理部（第1、第2ユニット）への動作クロックをダイナミックに変更することにより、必要な部分へ必要な時（第1の動作環境）にだけ高速クロック（CLK0）を供給するようにして、システム性能を落とすことなく電源消費電流を押さえる。

【0010】

【実施例】以下、図面を参照して、この発明の一実施例に係る可変クロック発生装置および可変クロック発生方法を説明する。

【0011】図1は、この発明の一実施例に係る可変クロック発生装置を含むシステムの構成を示す。また、図2は、この装置の動作を説明するタイミングチャートである。

【0012】入力クロックCLK0は、図示しないシステムクロック発生回路から得ている。たとえば16MHzのクロックCLK0を得る場合、このシステムクロック発生回路は、32MHzの水晶発振器と、その出力をデューティ比50%の矩形波に波形整形するフリップフロップ（1/2分周器）で構成できる。このシステムクロック発生回路をCMOS回路で構成しておくと、この発生回路の電源消費電流は僅かなものにできるので、このCMOSクロック発生回路自体の発振動作を止めることはしない。

【0013】上記システムクロック発生回路からのクロックCLK0は、タイミング信号として分周動作決定回路（切換信号回路）10に与えられるとともに、分周回路20に入力される。この回路10は、クロック周波数切換動作（分周比設定動作）を制御する周波数制御回路

10aと、たとえばクロックCLK0で動作するCPUおよびメモリなどで構成される最優先回路（または優先回路）10bとを含んでいる。周波数制御回路10aの動作開始および動作停止は、最優先回路10bまたは各種回路ユニット40からの処理開始／終了入力（信号あるいは命令）によって制御される。

【0014】分周動作決定回路10において、最優先回路（または優先回路）10bの内部CPUから周波数制御回路10aへ処理開始命令が入力されると、周波数制御回路10aは、クロックCLK0のタイミングでその動作を開始する。その際、所定の条件（最優先条件または優先条件）が満たされると、アクティブ信号Actが発生される。たとえば、パーソナルコンピュータのメインCPU（図示せず）が最高速度で動作する必要のない状態（ユーザからのキーボード入力待ち状態など）が所定時間（たとえば1分）続くと、ある最優先条件（または優先条件）が満足され、システムクロックの周波数を落とす命令が周波数制御回路10aに入力される。すると、分周動作決定回路10はアクティブ信号Actを発生する（図2の時間ts）。

【0015】アクティブ信号Actは、分周回路20に入力される。分周回路20は、「システムクロック周波数を落とす」内容の命令に対応したアクティブ信号Actを受けている期間中（図2のts～te；ある最優先条件が満足されている期間）、最優先回路動作に入る。

【0016】分周回路20は、アクティブ信号Actを受けると（ts）、入力クロックCLK0のクロックタイミングでクロックCLK0を順々に分周し、1クロックづつずれたタイミング（t1, t2, t3）で、たとえば1/2に分周されたクロックCLK1～CLK3を発生する。こうして得られた低速クロックCLK1～CLK3は、それぞれ、動作ユニット群30を構成する第1動作ユニット31～第3動作ユニット33に供給される。第1動作ユニット31～第3動作ユニット33は、それぞれ、供給された低速クロックCLK1～CLK3により、少ない電源消費電流でもって、必要十分な動作速度で所定の処理を実行する。

【0017】ここでの「最優先回路動作」とは、特定回路部分への「システムクロック周波数を落とす」ことを最優先させる動作をいう。換言すると、この特定回路部分を高速クロックで動作させていて何等問題がなくても（あるいは高速クロックで動作していた方が他の回路部分の動作速度上有利であっても）、「最優先回路動作」では、この特定回路部分へのシステムクロック周波数が落とされる。さらに別の言い方をするならば、「最優先回路動作」では、クロック周波数が落とされる特定回路部分よりも、クロック周波数が落とされない回路部分の方が、動作性能上最優先（あるいは単に優先）される。

【0018】また、ここでの「最優先条件（または優先条件）」とは、図示しない他回路の動作状況件に拘わら

ず、第1動作ユニット31～第3動作ユニット33へ供給される動作クロックCLK1～CLK3を1/2に分周しても良い条件となる。

【0019】たとえば、動作ユニット31が16MHzクロックで動作している場合にある処理を開始してから処理結果が出るまで最大1ms（ミリセコンド）掛かるとする。図示しないメインCPU上で走っているプログラムにとって、この処理をリクエストしてからその結果を得るまで2ms以上待てるときは、動作ユニット31が8MHzクロックで動作してもかまわないことになる。このような場合（2ms待てる）に、前記「最優先条件（または優先条件）」が満足され、分周動作決定回路10（周波数制御回路10a）は、入力クロックCLK0を1/2分周させるためのアクティブ信号Actを発生する。

【0020】上記説明から明らかなように、この実施例で述べている「最優先条件（または優先条件）」とは固定された内容のものではなく、システム構成や稼働中のプログラムの内容によって適宜変更され得る。

【0021】クロックを落とした第1動作ユニット31～第3動作ユニット33が再び高速クロックCLK0で動作する時期になると（図2のte）、周波数制御回路10aは処理終了入力を最優先回路10bのCPU（あるいは各種回路ユニット40）から受信する。

【0022】以上まとめると、次のようになる。まず最優先回路10bのCPUが（クロックを下げて節電を行うために）処理開始命令を周波数制御回路10aに入力する。この命令を受けると、周波数制御回路10aは、命令内容に応じた「最優先条件」の判定を行い、この条件が満足されると、所定期間（図2のts～te）最優先動作を行うアクティブ信号Actを出力する。この最優先動作期間中はクロック周波数を落とした分だけ電源消費電流が低減される。

【0023】上記実施例は、次のような作用効果を持つ。

【0024】まず、高速クロックを必要としない低優先度のユニットへのクロック周波数を下げるから、その分消費電流が減る。

【0025】クロックを下げる動作ユニットが複数ある場合では、各ユニットの分周タイミングをずらしている（図2のt1～t3）。するとクロック変更時点での電源電流ピーク（パルス状）が同時期に集中せず、クロック変更に伴う電源ノイズレベルが小さくなる。このため、装置をIC化した場合において、ICパッケージの電源ピン、グランドピンの数を減らしても（ICピンを中継する部分の電源インピーダンスは高くなるが）、クロック変更に伴う電源ノイズレベルで回路動作にエラーが出にくくなる（電源ピン、グランドピンの数を減らせれば、ICパッケージのコストを下げる事ができる）。

【0026】図3は、この発明の他の実施例に係る可変クロック発生装置を含むシステムの構成を示す。図3において、図示しないシステムクロック発生回路からの入力クロックCLK0は、タイミング信号として第1の周波数制御回路101aおよび第2の周波数制御回路102aに与えられるとともに、分周回路20に入力される。

【0027】分周回路20は、周波数制御回路101aからのアクティブ信号Act1および周波数制御回路102aからのアクティブ信号Act2の組み合わせの内容に応じて入力クロックCLK0を分周して、4種類のクロックCLK1～CLK4を、それぞれ4つの動作ユニット31～34に与える。各動作ユニット31～34は、与えられたクロックCLK1～CLK4の周波数に対応した速度で、自身の処理を実行するようになっている。

【0028】分周回路20はまた、入力クロックCLK0を第1の優先回路101bおよび第2の優先回路102bに与える。クロックCLK0のタイミングで動作する第1の優先回路101bはCPUを含んでおり、このCPUが実行するプログラムの実行状態に応じて、適宜、処理開始／終了入力#1（第1の処理開始命令#1）が発生される。同様に、クロックCLK0のタイミングで動作する第2の優先回路102bもCPUを含んでおり、このCPUが実行するプログラムの実行状態に応じて、適宜、処理開始／終了入力#2（第2の処理開始命令#2）が発生される。

【0029】周波数制御回路101aは、優先回路101bから処理開始／終了入力#1を受け取ると、所定の条件（優先条件1）が満たされたときにアクティブ信号Act1を発生する（図5の時間ts1）。同様に、周波数制御回路102aは、優先回路102bから処理開始／終了入力#2を受け取ると、他の所定条件（優先条件2）が満たされたときにアクティブ信号Act2を発生する（図5の時間ts2）。

【0030】アクティブ信号Act1およびAct2は、分周回路20に入力される。分周回路20は、「システムクロック周波数を落とす」内容の命令に対応したアクティブ信号Act1およびAct2の組み合わせを受けている期間中（図2のts1以降；第1または第2の優先条件が満足されている期間）、優先回路動作に入る。

【0031】図4は、アクティブ信号Act1およびAct2の組み合わせとクロックCLK0に対する4種類の分周動作との対応関係を例示する真理値表である。処理開始命令（処理開始／終了入力）#1および#2の内容によって決まるアクティブ信号Act1およびAct2の組み合わせが0/0の場合は、4種類のクロックCLK1～CLK4に対する分周比は全て「1」となる。すなわちクロックCLK1～CLK4各々の周波数は入

力クロックCLK0と同じになる。

【0032】処理開始命令（処理開始／終了入力）#1および#2の内容によって決まるアクティブ信号Act1およびAct2の組み合わせが0/1の場合（あるいは1/0の場合）は、4種類のクロックCLK1～CLK4に対する分周比は全て「2」となる。すなわちクロックCLK1～CLK4各々の周波数は入力クロックCLK0の1/2になる。

【0033】処理開始命令（処理開始／終了入力）#1および#2の内容によって決まるアクティブ信号Act1およびAct2の組み合わせが1/1の場合は、4種類のクロックCLK1～CLK4に対する分周比は全て「4」となる。すなわちクロックCLK1～CLK4各々の周波数は入力クロックCLK0の1/4になる。

【0034】アクティブ信号Act1およびAct2の組み合わせが時間とともに変化する場合は、優先回路101bおよび102bの動作とそれに伴うクロックCLK1～CLK4の周波数変化は、たとえば図5に示すようになる。

【0035】すなわち、時間ts1以前では、アクティブ信号Act1およびAct2の組み合わせが0/0なので分周比は「1」であるから、クロックCLK1～CLK4の周波数は入力クロックCLK0と一致している。

【0036】時間ts1からts2の間では、アクティブ信号Act1およびAct2の組み合わせが1/0なので分周比は「2」となる。すると、クロックCLK1、CLK2、CLK3、CLK4の順で、それらの周波数が入力クロックCLK0の1/2に変化する（時間t1、t2、t3、t4）。

【0037】時間ts2以降では、アクティブ信号Act1およびAct2の組み合わせが1/1なので分周比は「4」となる。すると、クロックCLK1、CLK2、CLK3、CLK4の順で、それらの周波数が入力クロックCLK0の1/4に変化する（時間t21、t22、t23、t24）。

【0038】その後アクティブ信号Act1およびAct2の組み合わせが0/0に戻ると、優先回路動作が終了し、クロックCLK1～CLK4は入力クロックCLK0の周波数と同じに戻る。このクロック周波数の復帰は、優先回路101bおよび/または102bから図示しないメインCPUに通知することができる。

【0039】つまり、優先回路101bおよび102bのCPUがそのプログラム実行中に処理開始命令（処理開始／終了入力）#1および#2を周波数制御回路101aおよび102aへ適宜与えることにより、各動作ユニット31～34は、適宜変更されたクロックCLK1～CLK4の周波数に対応した速度で、自身の処理を実行する。このクロック周波数のダイナミックな変更（クロック周波数低下）により、全体として、動作ユニット

群30の電源消費電流（電力消費量）を減らすことができる。

【0040】上記実施例は、次のような作用効果を持つ。

【0041】優先回路（101b、102b）を複数用いることにより、分周回路20における分周の組み合わせ数を増やすことができるから、異なるクロックで動作する多数のユニットで構成される複雑なシステムへ、この発明を応用できる。

【0042】図6は、この発明のさらに他の実施例に係る可変クロック発生装置を含むシステムの構成を示す。また、図7はこの装置の動作を説明するフローチャートである。

【0043】図示しないCPUからの命令コードは分周動作決定回路10内部の命令デコーダ110に入力される。デコーダ110は、入力された命令の内容に応じた組み合わせで、3種類のアクティブ信号Act1～Act3を発生する。これらのアクティブ信号Act1～Act3は、ゲートアレイなどで構成される選択回路120とともに、分周回路20内のアンドゲートG21～G23の第1入力端に与えられる。分周回路20内のアンドゲートG21～G23の第2入力端には、分周前のクロックCLK0が入力される。

【0044】アンドゲートG21は、アクティブ信号Act1が「1」レベルのときにだけ、入力クロックCLK0を第1の分周回路21へ供給する。同様に、アンドゲートG22はアクティブ信号Act2が「1」レベルのときにだけ入力クロックCLK0を第2の分周回路22へ供給し、アンドゲートG23はアクティブ信号Act3が「1」レベルのときにだけ入力クロックCLK0を第3の分周回路23へ供給する。

【0045】第1～第3の分周回路21～23は、選択回路120から「1」レベルの選択信号SL1～SL3を受けているときにだけ分周回路動作を行う。選択信号SL1～SL3それぞれのレベルは、アクティブ信号Act1～Act3の組み合わせによって決定される。

【0046】たとえば、デコーダ110に入力された命令をデコードした結果（図7のステップST10）、整数演算ユニット（ALU）31の実行命令であれば（ステップST12の#1）、ゲートG21を導通させる信号Act1='1'がデコーダ110から出力されるとともに、分周回路21の分周比を「1」にする信号SL1が回路21に供給される（ステップST14）。これにより、整数演算ユニット31は最高速のクロックCLK1（=CLK0）で動作する。

【0047】一方、そのときデコードされた命令（整数演算ユニット31の動作速度が最優先されている）が、たとえばデータの（メモリあるいはレジスタへの）ロード／ストア命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路22は信号SL2により分周比が「2」に設定される（ステップST24）。これによりロード／ストア制御ユニット32への電源電流が低減される。また、整数演算が実行されな

り分周比が「2」に設定される（ステップST16）。これによりロード／ストア制御ユニット32への電源電流が低減される。また、浮動小数点演算が実行されない命令であれば、信号Act3='0'がデコーダ110から出力され、ゲートG23が非導通状態になる。すると分周回路23へのクロック入力が停止され（ステップST16）、浮動小数点演算ユニット（FPU）33は動作を停止する（この場合、ユニット33は殆ど電力を消費しない）。

10 【0048】デコーダ110に入力された命令をデコードした結果（ステップST10）、ロード／ストア制御ユニット32の実行命令であれば（ステップST12の#2）、ゲートG22を導通させる信号Act2='1'がデコーダ110から出力されるとともに、分周回路22の分周比を「1」にする信号SL2が回路22に供給される（ステップST18）。これにより、ロード／ストア制御ユニット32は最高速のクロックCLK2（=CLK0）で命令あるいはデータのロード／ストアを実行する。

15 【0049】一方、そのときデコードされた命令（ロード／ストア制御ユニット32の動作速度が最優先されている）が、たとえば整数演算命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路21は信号SL1により分周比が「2」に設定される（ステップST20）。これにより整数演算ユニット31への電源電流が低減される。

20 【0050】また、そのときデコードされた命令（ロード／ストア制御ユニット32の動作速度が最優先されている）が、たとえば浮動小数点演算命令を含んでおり、この命令も最高速で実行する必要がないならば、分周回路23は信号SL3により分周比が「2」に設定される（ステップST20）。これにより浮動小数点演算ユニット33への電源電流が低減される。

25 【0051】デコーダ110に入力された命令をデコードした結果（ステップST10）、浮動小数点演算ユニット（FPU）31の実行命令であれば（ステップST12の#3）、ゲートG23を導通させる信号Act3='1'がデコーダ110から出力されるとともに、分周回路23の分周比を「1」にする信号SL3が回路23に供給される（ステップST22）。これにより、浮動小数点演算ユニット33は最高速のクロックCLK3（=CLK0）で動作する。

30 【0052】一方、そのときデコードされた命令（浮動小数点演算ユニット33の動作速度が最優先されている）が、たとえばデータの（メモリあるいはレジスタへの）ロード／ストア命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路22は信号SL2により分周比が「2」に設定される（ステップST24）。これによりロード／ストア制御ユニット32への電源電流が低減される。また、整数演算が実行されな

い命令であれば、信号 A c t 1 = 「0」がデコーダ 1 1 0 から出力され、ゲート G 2 1 が非導通状態になる。すると分周回路 2 1 へのクロック入力が停止され（ステップ S T 2 4）、整数演算ユニット（A L U） 3 1 は動作を停止する（この場合、ユニット 3 1 は殆ど電力を消費しない）。

【0053】上記実施例は、次のような作用効果を持つ。

【0054】これから実行しようとする命令内容に応じて最高速クロックで動作すべきユニットをダイナミックに指定できる。すなわち、その命令内容では最高速クロックで動く必要のないユニットのクロックは適宜低下させ、その命令内容では全く動作不要なユニットについてはクロックを止めることができる（止めてもエラーがない場合）。そうするとシステム全体としてのパフォーマンスを実質的に落とさずに装置全体としての電源消費電流を効果的に減少させることができる。

[00551]

【発明の効果】システムの稼働状況（入力命令の内容）に応じてシステムを構成する各処理部（31～33）への動作クロックをダイナミックに変更して、必要な部分へ必要な時（最優先回路動作中；第1の動作環境）にだけ高速クロック（CLK0）を供給するようにしている。これにより、システム性能を落とすことなく電源消費電流を押さえることができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係る可変クロック発生装置を含むシステムの構成を示すブロック図。

【図2】図1の実施例の動作を説明するタイミングチャート図。

【図3】この発明の他の実施例に係る可変クロック発生装置を含むシステムの構成を示すブロック図。

【図4】図3の実施例の分周回路の動作を説明する真理値表図。

10 【図5】図3の実施例の動作を説明するタイミングチャート図。

【図6】この発明のさらに他の実施例に係る可変クロック発生装置を含むシステムの構成を示すブロック図。

【図7】図6の実施例の動作を説明するフローチャート。

【符号の説明】

【備考】
1.0...公周動作

10 分周動作次定回路（切換倍分回路）、10a、101a、102a…周波数制御回路、10b、101b、102b…最優先回路、8-9 分周回路（可変±2

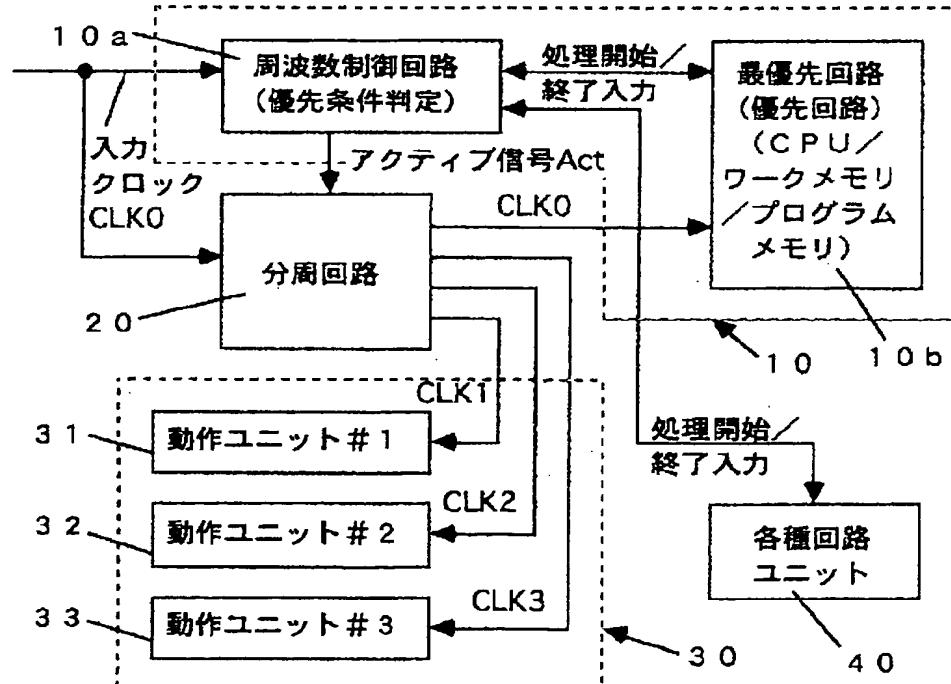
20 ック供給回路)、30…動作ユニット群、31…動作ユ
ー、1、2、3…最後元回路、20…分周回路(可変クロ

ード#1 (ALU)、32…動作ユニット#2 (ロー
ド/ストア)、33…動作ユニット#3 (FPU)、3
4…動作ユニット#4 (ALU)、各種回路

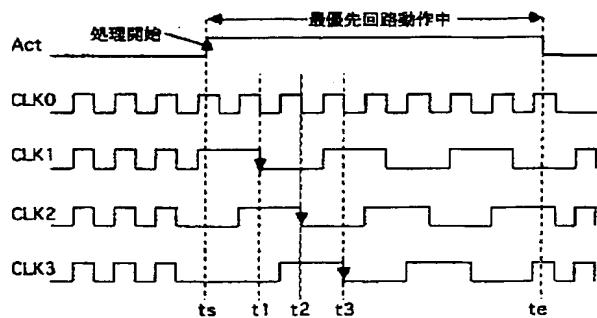
4…動作エーット#4、40…各種回路エーット、Z1…分周回路#1、22…分周回路#2、23…分周回路

25 #3、GZ1~GZ3…ノントクト。

【四】



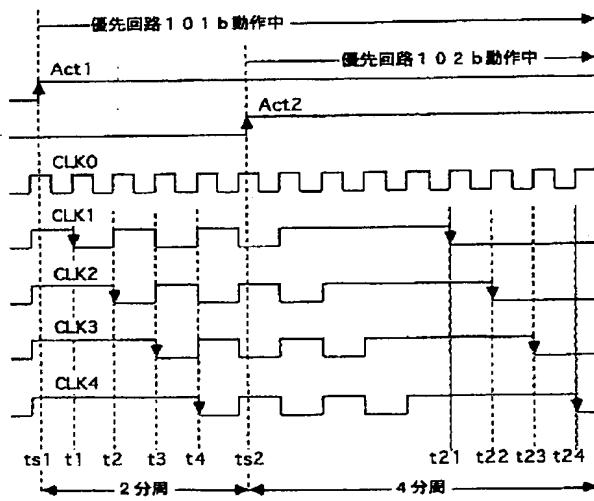
【図 2】



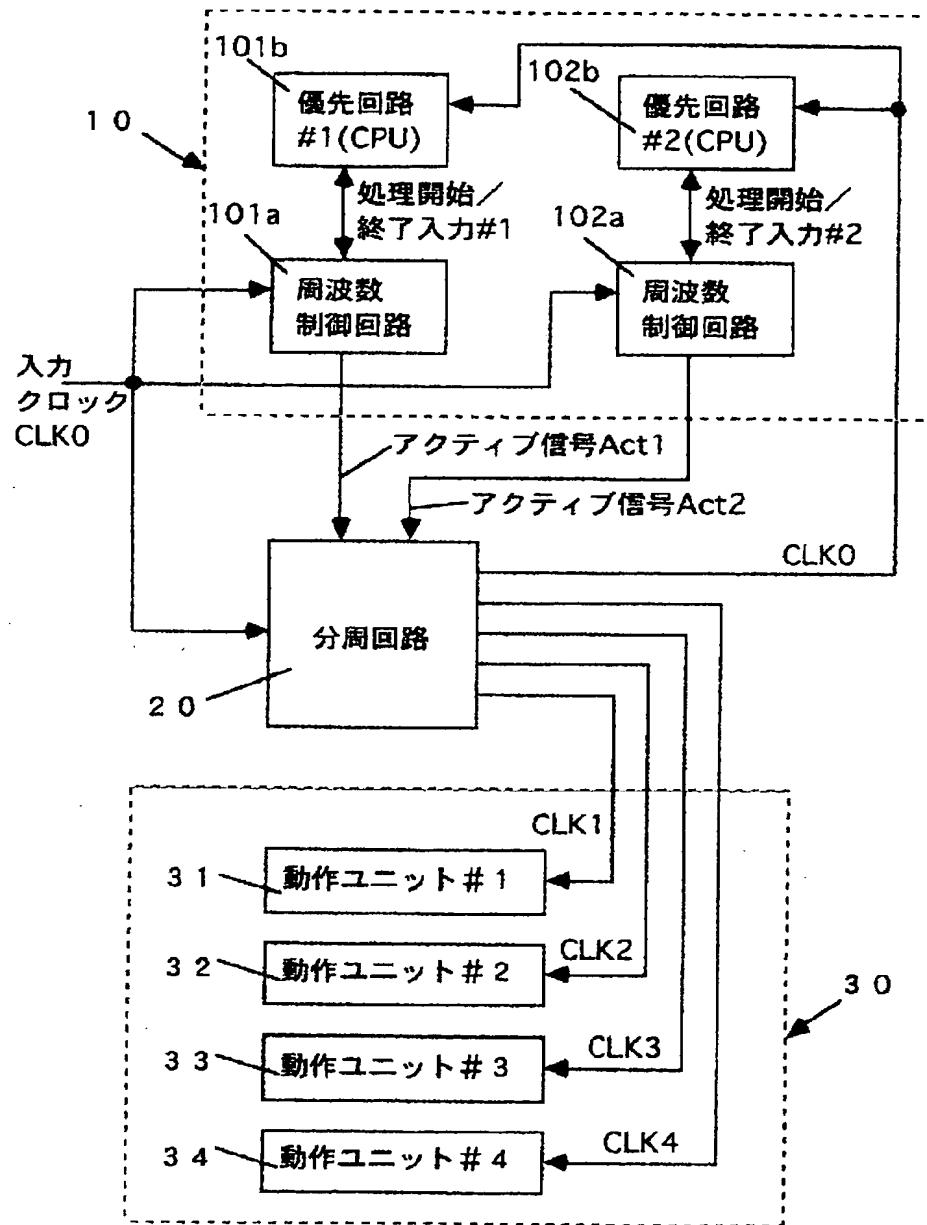
【図 4】

Act1/Act2	ck1	ck2	ck3	ck4
0/0	1	1	1	1
0/1	2	2	2	2
1/0	2	2	2	2
1/1	4	4	4	4

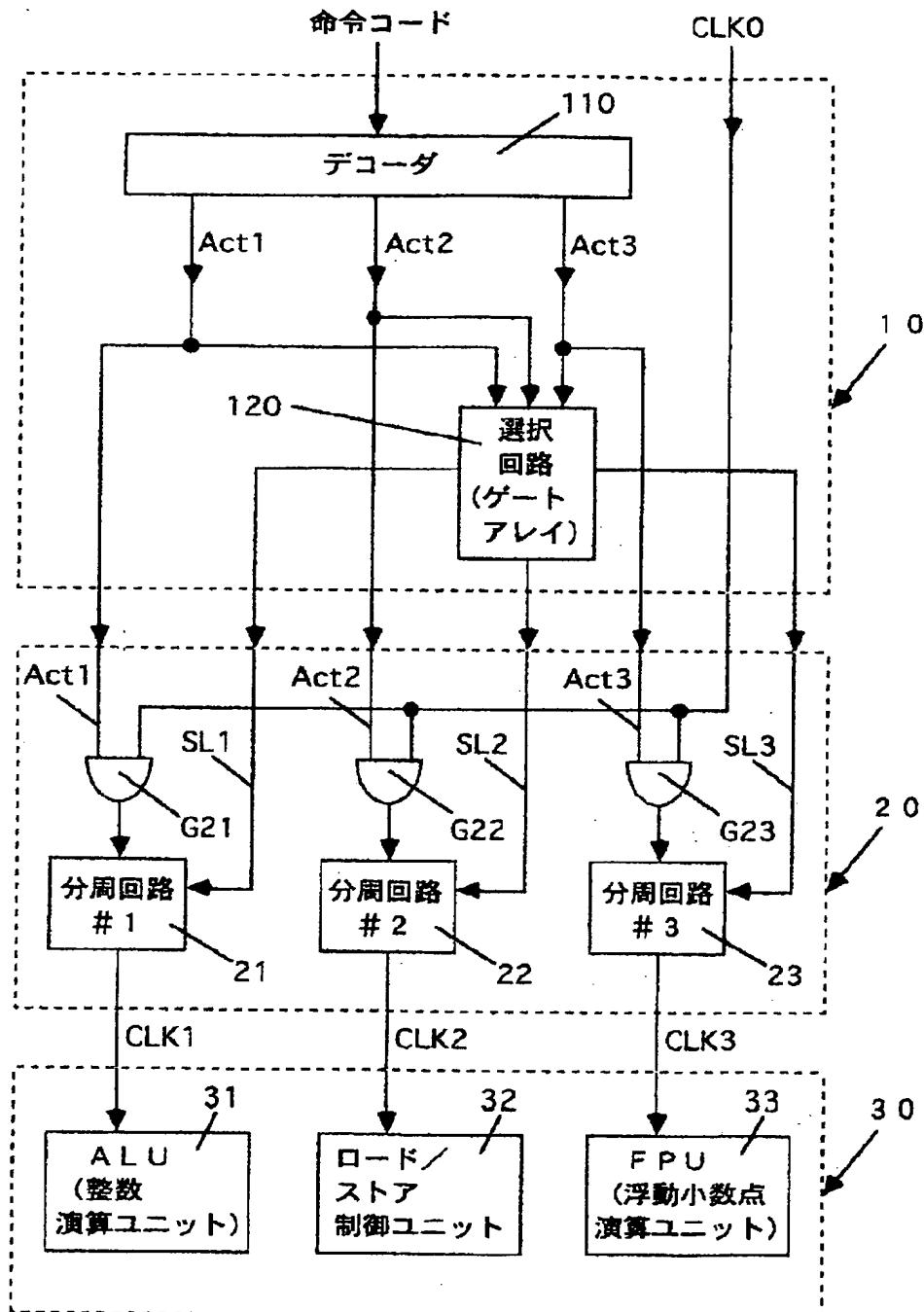
【図 5】



【図3】



【図6】



【図7】

